

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 04 月 29 日
Application Date

申 請 案 號：092110048
Application No.

申 請 人：台灣茂矽電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 8 月 8 日
Issue Date

發文字號：09220800730
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	包含渠溝匯流排結構之DMOS元件
	英 文	DMOS device having a trenched bus structure
二、 發明人 (共4人)	姓 名 (中文)	1. 謝興煌 2. 莊喬舜
	姓 名 (英文)	1. Alex HSIEH 2. Chuiao-Shun CHUANG
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹縣關西鎮南和里一鄰6-9號 2. 高市苓雅區林南街10巷11號6樓
	住居所 (英 文)	1. No. 6-9, Lin 1, Nan Ho Li, Kuan Hsi Chen, Hsinchu Hsien, Taiwan, R.O.C 2. 6F, No.11, Lane 10, Lin Nan Street, Lin Ya District, Kaohsiung
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 台灣茂矽電子股份有限公司
	名稱或 姓 名 (英文)	1. Mosel Vitelic Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 19, Li Hsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. Hung-Chiu HU



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	3. 張建平 4. 曾茂松
	姓 名 (英 文)	3. Chiw-Ping CHANG 4. Mao-Song TSENG
	國 籍 (中 英 文)	3. 中華民國 TW 4. 中華民國 TW
	住 居 所 (中 文)	3. 新竹市明湖路1050巷432號5樓 4. 新竹市明湖路400巷68弄20號
	住 居 所 (英 文)	3. 5F, No. 432, Lane 1050, Min Hu Road, Hsinchu City, Taiwan, R.O.C. 4. No. 20, Alley 68, Lane 400, Min Hu Road, Hsinchu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：包含渠溝匯流排結構之DMOS元件)

本發明係提供一種包含有渠溝匯流排結構之DMOS元件，其中的渠溝匯流排結構至少包括一場氧化層形成於上述DMOS元件的P型基底上方，以及一匯流排渠溝由上述場氧化層的上表面延伸至該P型基底的下方；在匯流排渠溝內依序覆蓋一匯流排閘極氧化層與一多晶矽流路以形成匯流排的主體；而且在多晶矽流路上方由下而上依序覆蓋一隔離層與一閘極金屬導線，並於隔離層中開有一窗口使閘極金屬導線與多晶矽流路連接；匯流排渠溝與DMOS元件之閘極渠溝係同時蝕刻形成，同時，多晶矽流路與DMOS元件的閘極多晶矽亦同時直接蝕刻形成，因此上述的匯流排結構可以配合DMOS電晶體同時形成，也不需要增加一額外的微影製程用以定義多晶矽流路。

五、(一)、本案代表圖為：第四圖

六、英文發明摘要 (發明名稱：DMOS device having a trenched bus structure)

A DMOS device having a trenched bus structure is disclosed in the present invention. The trenched bus structure comprises a field oxide layer formed on a P base of the DMOS device, and a bus trench extending from an upper surface of the field oxide layer to beneath the P base. A gate oxide layer and a poly bus fill the bus trench. An isolation layer and a gate metal line cover the poly bus. The poly



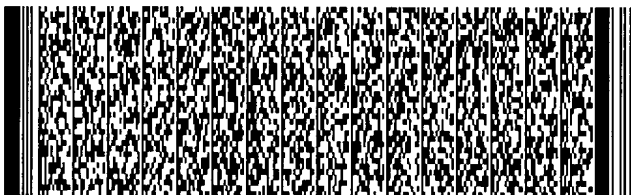
四、中文發明摘要 (發明名稱：包含渠溝匯流排結構之DMOS元件)

(二)、本案代表圖之元件代表符號簡單說明：

矽基板 100	磊晶層 200
元件區 201	匯流排區 202
基底 210	
元件區基底 211	匯流排基底 212
DMOS 渠溝 220	匯流排渠溝 221
元件區閘極氧化層 231	匯流排閘極氧化層 232
閘極多晶矽 241	多晶矽流路 242
源極摻雜區 250	P 型雜質重摻雜區 251
第一隔離層 261	第二隔離層 262
源極金屬層 270	閘極金屬導線 271

六、英文發明摘要 (發明名稱：DMOS device having a trenched bus structure)

bus connects to the gate metal line through a window, which is located in the isolation layer. The trenched bus structure and cells of the DMOS device are formed simultaneously, and an excess lithography process for identifying the poly bus is not necessary.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域：

本發明係關於一種DMOS元件，尤其是一種包含有渠溝匯流排結構的DMOS元件。

先前技術：

DMOS (double diffused MOS：雙重擴散型金氧半電晶體) 是一種很重要的功率電晶體元件 (Power Transistor)，並廣泛應用於電源供應器、電力控制裝置等大電壓之系統；而在眾多已發表之功率電晶體架構中，渠溝式功率電晶體 (Trenched Power Transistor) 是一種受到矚目的設計；並且已有報導指出渠溝式功率電晶體在效能上與積集度的改善上係優於平面式功率電晶體。

如圖一所示，係一習知之渠溝式DMOS元件與其閘極匯流排示意圖；圖中左側係一典型之渠溝式電晶體，包括複數個DMOS渠溝220形成於一P型基底210內，一元件區閘極氧化層231襯於DMOS渠溝220表面並延伸覆蓋周圍P型基底210的上表面，複數個N型源極摻雜區250包圍上述DMOS渠溝220並延伸至P型基底210的上表面，以及複數個P型重摻雜區251，而每一P型重摻雜區251位於相鄰二N型源極摻雜區250之間；DMOS渠溝220的底部係深入P型基底210之下方，並且在DMOS渠溝220內部填有閘極多晶矽241以作為渠溝式電晶體之閘極；位於閘極多晶矽241與元件區閘極氧化層231之上方依序覆蓋一



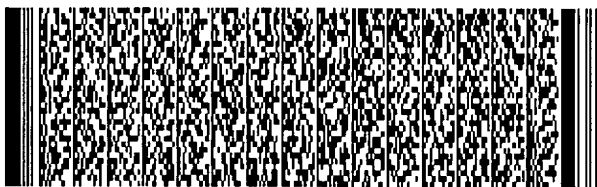
五、發明說明 (2)

第一隔離層261與一源極金屬接觸層270，而且源極金屬接觸層270係連接至N型源極摻雜區250與P型重摻雜區251。

圖中右側係一典型之閘極匯流排示意圖，包括一多晶矽流路(bus) 242形成於覆蓋有一匯流排閘極氧化層232的P型基底210上方；一第二隔離層262覆蓋於多晶矽流路242以及鄰近的匯流排閘極氧化層232上方，而且在第二隔離層262開有一窗口使多晶矽流路242的上表面裸露；同時，在多晶矽流路242的上方更連接有一閘極金屬導線271。

根據上述習知之渠溝式DMOS電晶體與其閘極匯流排結構，如圖二A與圖二B所示，為了形成多晶矽流路242，在沉積多晶矽層240後，必須施以一微影製程形成一光阻245以定義多晶矽流路242的位置，而後再進行蝕刻；此外，如圖三所示，在蝕刻形成多晶矽流路242的過程中，在多晶矽流路242的側壁與鄰近的閘極氧化層230交界處A容易累積蝕刻液與帶電粒子，因此，該交界處A的閘極氧化層230往往承受較劇烈之蝕刻作用而產生微孔(micro trench) 300；由於微孔300的產生，將使多晶矽流路242與P型基底210間聚集電荷；因而導致交界處A的閘極氧化層230電場崩潰，並且造成漏電流的增加。

如圖六所示，係美國專利號6031265之DMOS電晶體與其匯流排結構示意圖，其中的匯流排係利用渠溝式結構取代傳統之平面式結構，DMOS渠溝220可以與匯流排渠溝221同時蝕刻產生；隨後全面沉積多晶矽層240填滿上述DMOS渠溝220與匯流排渠溝221，直接進行回蝕，並以閘極氧化層230為蝕刻



五、發明說明 (3)

終止層，以獲致分別位於DMOS渠溝220與匯流排渠溝221內閘極多晶矽241與多晶矽流路242。

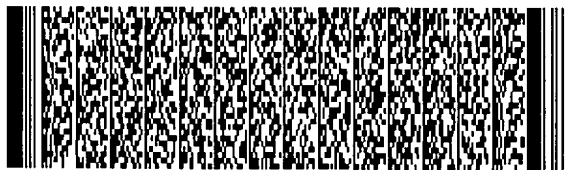
雖然上述匯流排結構的設計並不需要一額外之微影製程以形成多晶矽流路242，但是，由於在蝕刻形成多晶矽流路242的過程中，多晶矽流路242的上表面也容易累積蝕刻液與帶電粒子，因此，也容易在鄰近的匯流排閘極氧化層232產生微孔300。

本發明之目的係提供一種渠溝式DMOS元件，其中之閘極匯流排結構不僅不需要一額外之微影製程就可以形成，同時亦可以避免微孔300產生所導致之電崩潰提早發生以及漏電流增加的問題。

發明內容：

本發明係揭露一種溝渠DMOS元件形成於一重摻雜N型雜質之矽基板上，該矽基板上方覆蓋一摻雜N型雜質之磊晶層，且該渠溝DMOS元件包括一元件區與一匯流排區。

該元件區至少包含一元件區基底、一元件區閘極氧化層、一閘極多晶矽、複數個DMOS源極區、複數個P型雜質重摻雜區、一第一隔離層以及一源極金屬層；該元件區基底係摻雜P型雜質，並由該磊晶層內向上延伸至該磊晶層表面，而且，在該元件區基底內包括複數個DMOS溝渠形成於其中，該DMOS渠溝係由該元件區基底之上表面伸入該元件區基底下方。



五、發明說明 (4)

該元件區閘極氧化層係襯裡於該DMOS溝渠，並延伸覆蓋該鄰近之元件區基底表面；而該閘極多晶矽係填入該DMOS溝渠內以形成複數個DMOS溝渠閘極。

該DMOS源極區係重摻雜N型雜質並位於該元件區基底內，而且該DMOS源極係包圍該DMOS渠溝閘極；此外，上述每一P型雜質重摻雜區係形成於該相鄰二DMOS源極區之間。

在該DMOS溝渠閘極上方由下而上依序覆蓋該第一隔離層與該源極金屬層，而該源極金屬層同時亦連接該DMOS源極區與該P型雜質重摻雜區。

該匯流排區至少包含一匯流排基底、一匯流排閘極氧化層、一多晶矽流路、一第二隔離層以及一閘極金屬導線，該匯流排基底係摻雜P型雜質，並由該磊晶層內向上延伸至該磊晶層表面，此外，該匯流排基底包括有一場氧化層覆蓋其上，以及一匯流排渠溝由該場氧化層上表面伸入該匯流排基底下方。

該匯流排閘極氧化層係襯裡於該匯流排渠溝，並延伸覆蓋該鄰近之匯流排基底表面；而該匯流排渠溝內填有多晶矽以形成該多晶矽流路，該多晶矽流路之上表面係位於該場氧化層上表面之下方。

在該場氧化層上方由下而上依序覆蓋該第二隔離層與該閘極金屬導線，該第二隔離層係開有一窗口使該多晶矽流路裸露，同時，該閘極金屬導線係連接於該多晶矽流路。

該多晶矽流路係用以連接該多晶矽閘極，以控制該DMOS元件。



五、發明說明 (5)

上述之場氧化層可以在以微影及蝕刻技術定義該DMOS元件主動區域時同時形成；因此，在後續以微影及蝕刻技術形成該DMOS渠溝時，可以同步形成該匯流排渠溝；而隨後之高溫氧化亦同時形成該主動區域閘極氧化層與該匯流排閘極氧化層。

本發明在整體沉積多晶矽層後，以該閘極氧化層為蝕刻終止層，直接進行回蝕以形成該多晶矽流路與該DMOS渠溝閘極；與傳統之溝渠DMOS元件之匯流排結構相比較，可以不需額外施以一微影製程定義該多晶矽流路之位置。

此外，如前述，在傳統製程蝕刻形成該多晶矽流路時，常有微孔產生於鄰近該多晶矽流路側壁處之該閘極氧化層，因而導致該處電荷聚集；造成閘極氧化層電場崩潰提早發生，以及漏電流的增加。

在本發明之渠溝DMOS元件之匯流排結構中，該多晶矽流路係位於該匯流排渠溝之內，並且該多晶矽流路上表面係被該場氧化層所包圍，而該匯流排閘極氧化層係鄰接於該多晶矽流路側壁，所以可以避免在該匯流排閘極氧化層產生微孔；因此，上述由微孔所導致的問題可以得到解決。

實施方式：

如圖四所示，係本發明之渠溝式DMOS元件示意圖，此渠溝DMOS元件包括有一元件區201與一匯流排區202形成於一上方覆蓋有一磊晶層200的矽基板100，其中的磊晶層200係摻



五、發明說明 (6)

雜N型雜質，而矽基板100係重摻雜N型雜質。

在上述元件區201中包括一摻雜P型雜質之元件區基底211形成於磊晶層200中並向上延伸至磊晶層200表面，複數個DMOS電晶體形成上述之元件區基底211上，此DMOS電晶體至少包括二DMOS源極區250、一DMOS渠溝220、一元件區閘極氧化層231、一閘極多晶矽241、一第一隔離層261與一源極金屬層270。

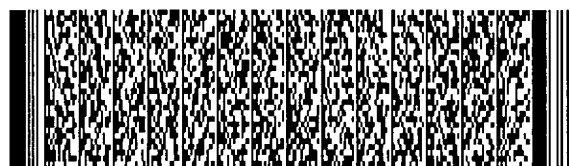
其中的DMOS渠溝220由磊晶層200的上表面伸入元件區基底211的下方；而且在DMOS渠溝220內依序覆蓋元件區閘極氧化層231與閘極多晶矽241以形成DMOS溝渠閘極；其中的元件區閘極氧化層231並延伸覆蓋鄰近的元件區基底211上表面。

在元件區基底211內並形成有重摻雜N型雜質的DMOS源極區250包圍DMOS渠溝220周圍，而且在閘極多晶矽241上方依序覆蓋第一隔離層261與源極金屬層270。

此外，在元件區基底211中形成有複數個P型雜質重摻雜區251，每一P型雜質重摻雜區251係位於相鄰二DMOS源極區250之間；而源極金屬層270連接DMOS源極區250與P型雜質重摻雜區251；藉此，當源極金屬層270接地，可以使DMOS源極區250與元件區基底211均為零電位。

在上述匯流排區202中至少包含一摻雜P型雜質之匯流排基底212、一匯流排閘極氧化層232、一多晶矽流路242、一第二隔離層262與一閘極金屬導線271。

匯流排基底212係且位於磊晶層200中並向上延伸至磊晶層200表面，此外，在匯流排基底212上方覆蓋有一場氧化層



五、發明說明 (7)

233，同時有一匯流排渠溝221由場氧化層233的上表面伸入匯流排基底212下方。

此外，匯流排閘極氧化層232係襯裡於匯流排渠溝221，並延伸覆蓋鄰近的匯流排基底212表面；而多晶矽流路242係位於匯流排渠溝221內，且多晶矽流路242的上表面係位於場氧化層233上表面之下方。

在場氧化層233上方依序覆蓋第二隔離層262與閘極金屬導線271，在第二隔離層262內並開有一窗口使多晶矽流路242與閘極金屬導線271連接。

如圖五A至圖五E所示，係本發明之渠溝式DMOS電晶體與其閘極匯流排之製程示意圖。

如圖五A所示，首先，施以傳統微影及蝕刻製程，於N型磊晶層200之匯流排區202上表面形成場氧化層233，上述之微影極蝕刻技術同時亦可用以定義DMOS元件之主動區域範圍；隨後，再施以微影及蝕刻技術同時形成DMOS渠溝220與匯流排渠溝221。

如圖五B所示，整體施以高溫氧化，形成一閘極氧化層231；並且全面沉積一多晶矽層240填滿上述DMOS渠溝220與匯流排渠溝221；隨後直接對上述多晶矽層240進行回蝕，並以閘極氧化層230為蝕刻終止層，以形成閘極多晶矽241與多晶矽流路242；再植入P型摻雜於N型磊晶層200內以形成元件區基底211與匯流排基底212，而且DMOS渠溝220與匯流排渠溝212的底面係分別落於元件區基底211與匯流排基底212的下方。



五、發明說明 (8)

如圖五C所示，施以一微影製程，定義DMOS源極所在位置，再植入N型摻雜於P型基底210內以形成複數個N型重摻雜DMOS源極區250。

如圖五D所示，全面沉積一隔離層260，並施以微影及蝕刻技術，去除相鄰二DMOS渠溝220間之部分隔離層260與閘極氧化層230，以及匯流排渠溝221與鄰近DMOS渠溝220間之部分隔離層260與閘極氧化層230，同時亦於多晶矽流路242上方之隔離層260形成一窗口，藉以定義元件區閘極氧化層231、匯流排區閘極氧化層232、第一隔離層261與開有一窗口之第二隔離層262。

隨後，透過第一隔離層261與第二隔離層262，全面植入P型摻雜，藉以形成複數個P型雜質重摻雜區251；然而，再此同時，N型重摻雜區250將完全被上述第一隔離層261所覆蓋。

因此，首先對上述第一隔離層261與第二隔離層262施以再流動(reflow)，以改善後續製程所沉積之源極金屬層270的填洞效果；隨後，全面施以一再流動蝕刻(reflow etching)製程，加大相鄰第一隔離層261間之距離，藉以使上述N型重摻雜區250裸露。

如圖五E所示，最後，全面沉積一金屬層，再施以微影及蝕刻技術，分別定義源極金屬層270與閘極金屬導線271，源極金屬層270係用以連接上述複數個DMOS源極區250與複數個P型雜質重摻雜區251；而閘極金屬導線271係用以連接多晶矽流路242。比較本發明之多晶矽流路242與傳統製程之多

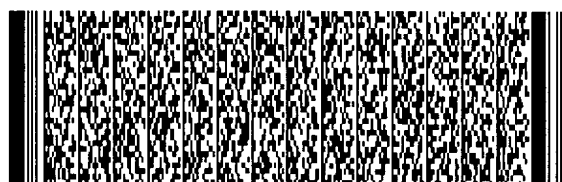


五、發明說明 (9)

晶矽流路242；可以發現，如圖五A與圖五B所示，本發明之匯流排渠溝221係與DMOS渠溝220同時形成，而且以閘極氧化層230為蝕刻終止層，直接對多晶矽層240回蝕以形成多晶矽流路242於上述匯流排渠溝221之中；反之，如圖二A與圖二B所示，傳統製程蝕刻形成DMOS渠溝之步驟中，並沒有同時形成匯流排渠溝221，而是利用一道額外的微影製程定義多晶矽流路242的位置；因此，兩相比較，本發明節省了一道用以定義多晶矽流路242的微影製程。

此外，如圖三所示，在傳統製程蝕刻形成多晶矽流路242時，常有微孔產生於鄰近多晶矽流路242側壁處之閘極氧化層230；然而，如圖五B所示，在本發明之渠溝DMOS元件之匯流排結構中，多晶矽流路242係位於匯流排渠溝221之內，而匯流排閘極氧化層232係鄰接於多晶矽流路242側壁，同時，多晶矽流路242之上表面係鄰接於場氧化層233；因此，可以避免上述匯流排閘極氧化層232產生微孔，而且即使場氧化層233鄰近於多晶矽流路242之上表面處產生微孔，也不致對效能產生影響；藉此，產生微孔所導致的問題可以得到解決。

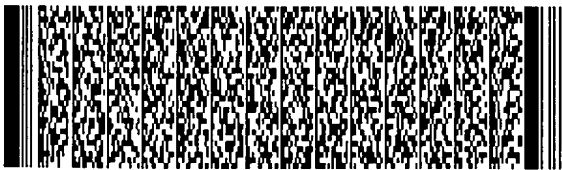
此外，如圖六所示，在美國專利號6031265之DMOS電晶體與其匯流排結構中，雖然，其匯流排結構亦不需一額外之微影製程用以定義多晶矽流路242；但是，由於其中之多晶矽流路242上表面係鄰接於閘極氧化層230；因此，在蝕刻形成多晶矽流路242的過程中，在多晶矽流路242的上表面亦容易累積蝕刻液與帶電粒子，因而導致鄰近多晶矽流路242上



五、發明說明 (10)

表面之匯流排閘極氧化層232容易產生微孔300。反之，如五B所示，本發明之多晶矽流路242上表面係鄰接於場氧化層233，即使場氧化層233產生微孔300，也不致對DMOS之效能產生影響。

以上所述係利用較佳實施例詳細說明本發明，而非限制本發明之範圍，而且熟知此類技藝人士皆能明瞭，適當而作些微的改變及調整，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍。



圖式簡單說明

圖式簡單說明：

圖一為一習知之渠溝式DMOS電晶體與其閘極匯流排示意圖。
圖二A與圖二B為如圖一中之閘極匯流排，為了形成該多晶矽流路之微影與蝕刻製程示意圖。

圖三為如圖一中之閘極匯流排，在蝕刻形成該多晶矽流路之過程中，該多晶矽流路鄰近之閘極氧化層產生微孔之示意圖。

圖四為本發明之渠溝式DMOS電晶體與其閘極匯流排示意圖。
圖五A至圖五E為本發明之渠溝式DMOS電晶體與其閘極匯流排之製程示意圖。

圖六為係一習知渠溝式DMOS電晶體與其匯流排結構示意圖

圖號說明：

矽基板 100	磊晶層 200
元件區201	匯流排區202
基底 210	元件區基底211
匯流排基底212	DMOS渠溝 220
匯流排渠溝221	閘極氧化層 230
元件區閘極氧化層231	匯流排閘極氧化層232
多晶矽層240	閘極多晶矽241
多晶矽流路242	源極摻雜區250
P型雜質重摻雜區251	隔離層260



圖式簡單說明

第一隔離層261

源極金屬層270

第二隔離層262

閘極金屬導線271



六、申請專利範圍

申請專利範圍：

1. 一種渠溝DMOS元件，包括一元件區與一匯流排區形成於一上方覆蓋有一摻雜一N型雜質之磊晶層於一重摻雜該N型雜質之矽基板，該元件區至少包含：

一元件區基底，係摻雜一P型雜質且位於該磊晶層中，並向上延伸至該磊晶層表面，該元件區基底內包括複數個DMOS溝渠形成於其中，而該DMOS渠溝係由該元件區基底之上表面伸入該元件區基底之下方；

一元件區閘極氧化層，係襯裡於該DMOS溝渠，並延伸覆蓋該鄰近之元件區基底表面；

一閘極多晶矽層係填滿該DMOS溝渠，以形成複數個DMOS溝渠閘極；

複數個DMOS源極區，係重摻雜該N型雜質並位於該元件區基底內，同時該DMOS源極係包圍該DMOS渠溝閘極；

複數個P型雜質重摻雜區，該每一P型雜質重摻雜區係位於該相鄰二DMOS源極區之間；

一第一隔離層，係覆蓋於該DMOS溝渠閘極上方；以及

一源極金屬層，形成於該第一隔離層上方，同時該源極金屬層係連接該DMOS源極區與該P型雜質重摻雜區；

該匯流排區至少包含：

一匯流排基底，係摻雜該P型雜質且位於該磊晶層中，並向上延伸至該磊晶層表面，該匯流排基底包括一場氧化層覆蓋其上，以及一匯流排渠溝由該場氧化層之上表面伸入該匯流排基底下方；



六、申請專利範圍

一 匯流排閘極氧化層，係襯裡於該匯流排渠溝，並延
覆蓋該鄰近之匯流排基底表面；

一 多晶矽流路，係位於該匯流排渠溝內，且該多晶矽流
路之上表面係位於該場氧化層上表面之下方；

一 第二隔離層，覆蓋於該場氧化層上方，且該第二隔離
層開有一窗口使該多晶矽流路裸露；以及

一 閘極金屬導線，係形成於該多晶矽流路上方並連接該
多晶矽流路。

2. 如申請專利範圍第1項之溝渠DMOS元件，其中之元件區基
底與匯流排基底係以離子植入製程同時形成。

3. 如申請專利範圍第1項之溝渠DMOS元件，其中之元件區閘
極氧化層與匯流排閘極氧化層係同時形成。

4. 如申請專利範圍第1項之溝渠DMOS元件，其中之閘極多晶
矽與多晶矽流路係於全面沉積多晶矽層填滿該DMOS渠溝與該
匯流排渠溝後，以該元件區閘極氧化層與該匯流排閘極氧化
層為蝕刻終止層，直接回蝕形成。



[illegible]

100

100

100

100

Figure 1. A schematic diagram illustrating the experimental design. The figure shows a sequence of events starting from a participant's arrival at the laboratory. The participant is first informed about the experiment and then given a practice trial. This is followed by three main trials, each consisting of a stimulus presentation phase and a response phase. The trials are labeled as Trial 1, Trial 2, and Trial 3. Each trial includes a stimulus presentation phase where the participant views a stimulus and a response phase where they provide a response. The trials are separated by inter-trial intervals. The entire experiment is controlled by a computer system.



100

100




Figure 1

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100	101	102	103	104	105	106	107	108	109	110	111	112	113	114	115	116	117	118	119	120	121	122	123	124	125	126	127	128	129	130	131	132	133	134	135	136	137	138	139	140	141	142	143	144	145	146	147	148	149	150	151	152	153	154	155	156	157	158	159	160	161	162	163	164	165	166	167	168	169	170	171	172	173	174	175	176	177	178	179	180	181	182	183	184	185	186	187	188	189	190	191	192	193	194	195	196	197	198	199	200	201	202	203	204	205	206	207	208	209	210	211	212	213	214	215	216	217	218	219	220	221	222	223	224	225	226	227	228	229	230	231	232	233	234	235	236	237	238	239	240	241	242	243	244	245	246	247	248	249	250	251	252	253	254	255	256	257	258	259	260	261	262	263	264	265	266	267	268	269	270	271	272	273	274	275	276	277	278	279	280	281	282	283	284	285	286	287	288	289	290	291	292	293	294	295	296	297	298	299	300	301	302	303	304	305	306	307	308	309	310	311	312	313	314	315	316	317	318	319	320	321	322	323	324	325	326	327	328	329	330	331	332	333	334	335	336	337	338	339	340	341	342	343	344	345	346	347	348	349	350	351	352	353	354	355	356	357	358	359	360	361	362	363	364	365	366	367	368	369	370	371	372	373	374	375	376	377	378	379	380	381	382	383	384	385	386	387	388	389	390	391	392	393	394	395	396	397	398	399	400	401	402	403	404	405	406	407	408	409	410	411	412	413	414	415	416	417	418	419	420	421	422	423	424	425	426	427	428	429	430	431	432	433	434	435	436	437	438	439	440	441	442	443	444	445	446	447	448	449	450	451	452	453	454	455	456	457	458	459	460	461	462	463	464	465	466	467	468	469	470	471	472	473	474	475	476	477	478	479	480	481	482	483	484	485	486	487	488	489	490	491	492	493	494	495	496	497	498	499	500	501	502	503	504	505	506	507	508	509	510	511	512	513	514	515	516	517	518	519	520	521	522	523	524	5
---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---



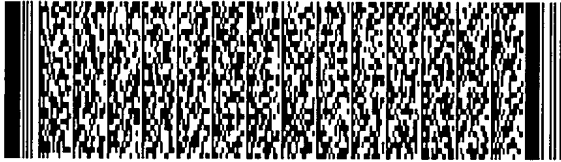
第 10/19 頁



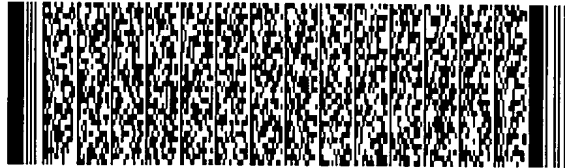
第 11/19 頁



第 11/19 頁



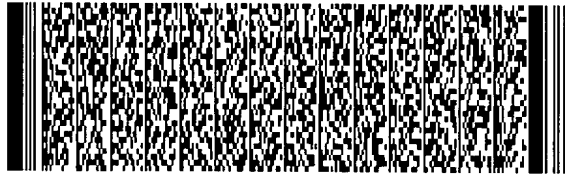
第 12/19 頁



第 12/19 頁



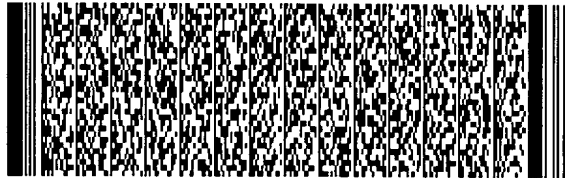
第 13/19 頁



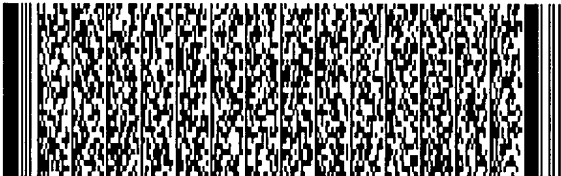
第 13/19 頁



第 14/19 頁



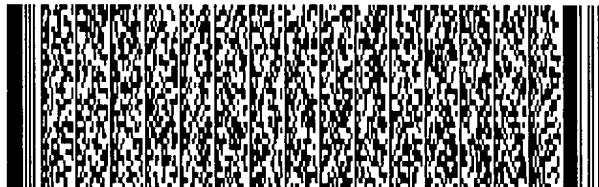
第 14/19 頁



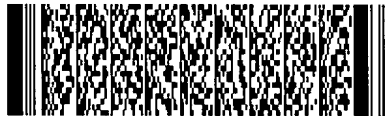
第 15/19 頁



第 16/19 頁



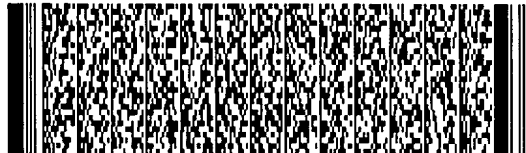
第 17/19 頁



第 18/19 頁



第 18/19 頁



第 19/19 頁



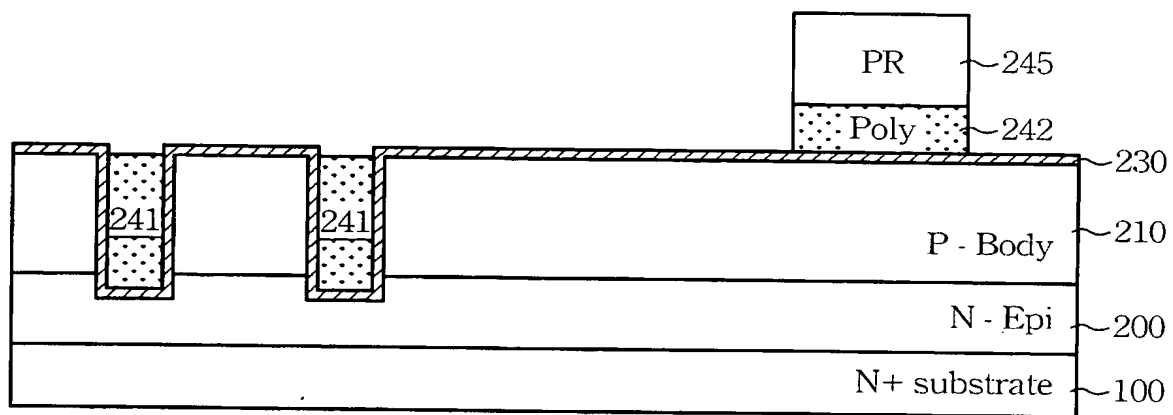


圖 二 B

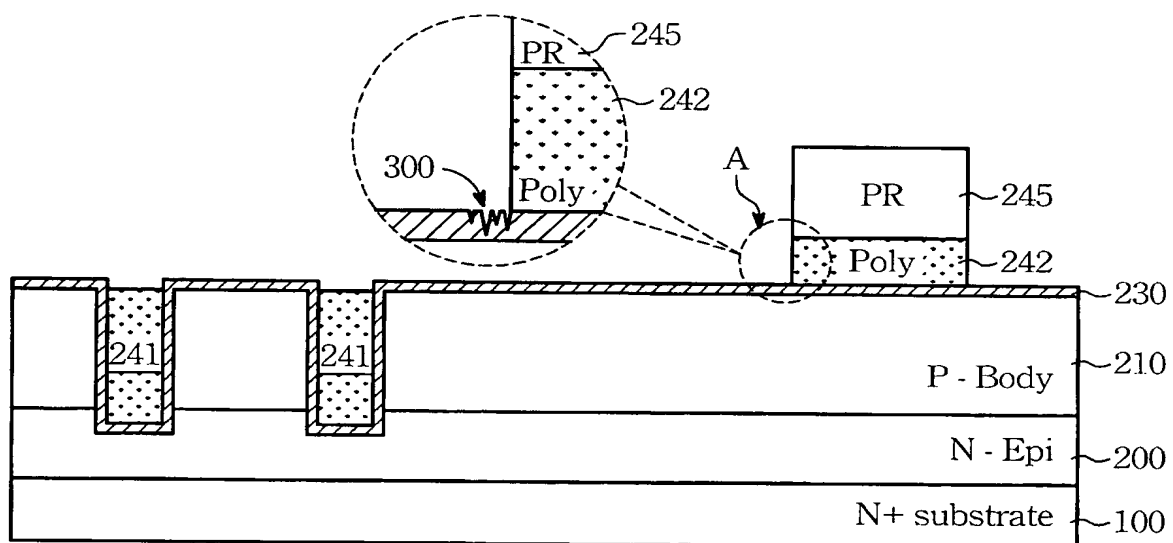


圖 三

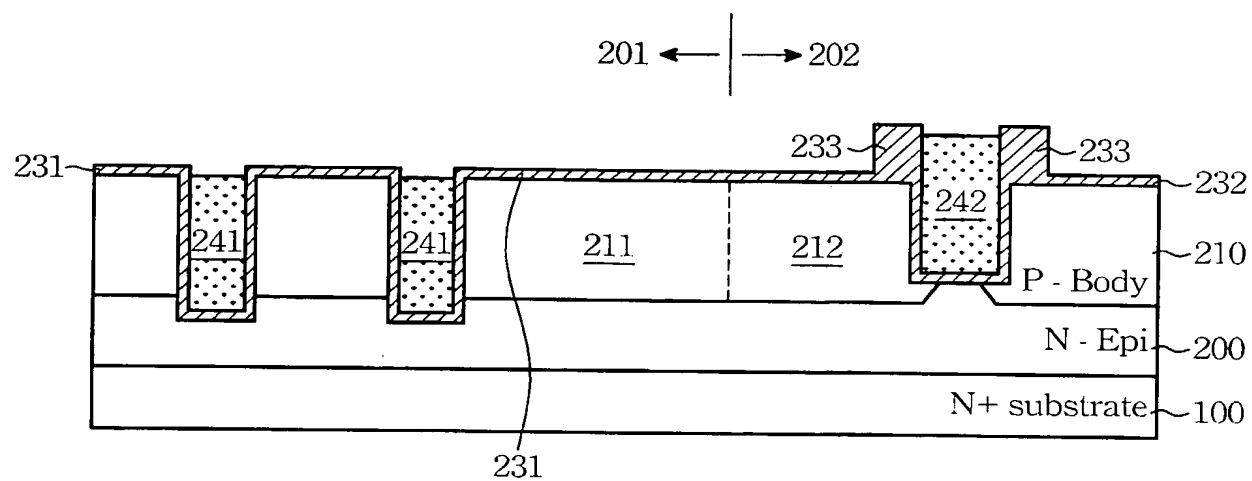


圖 五 B

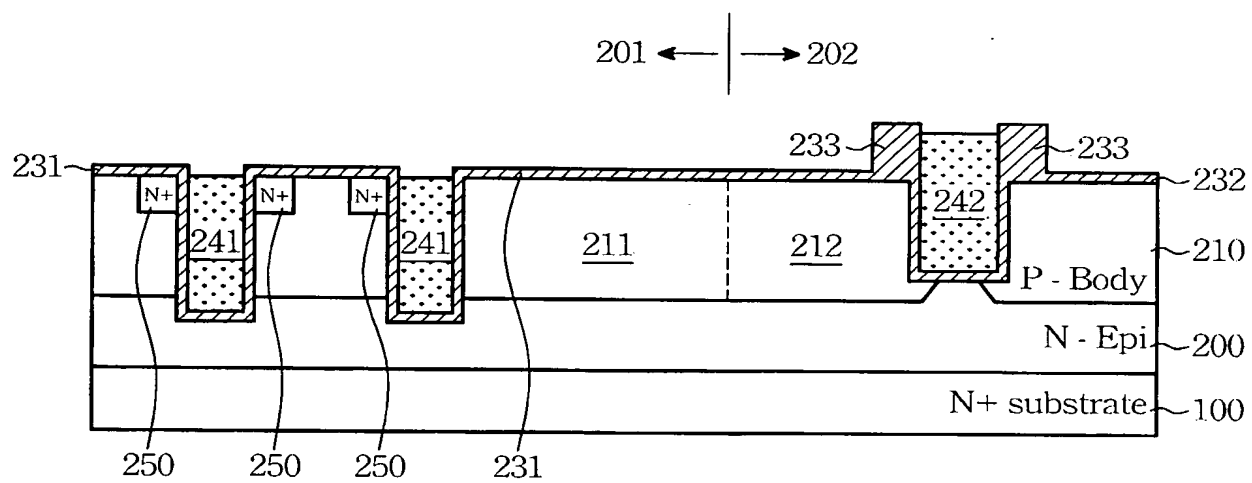


圖 五 C

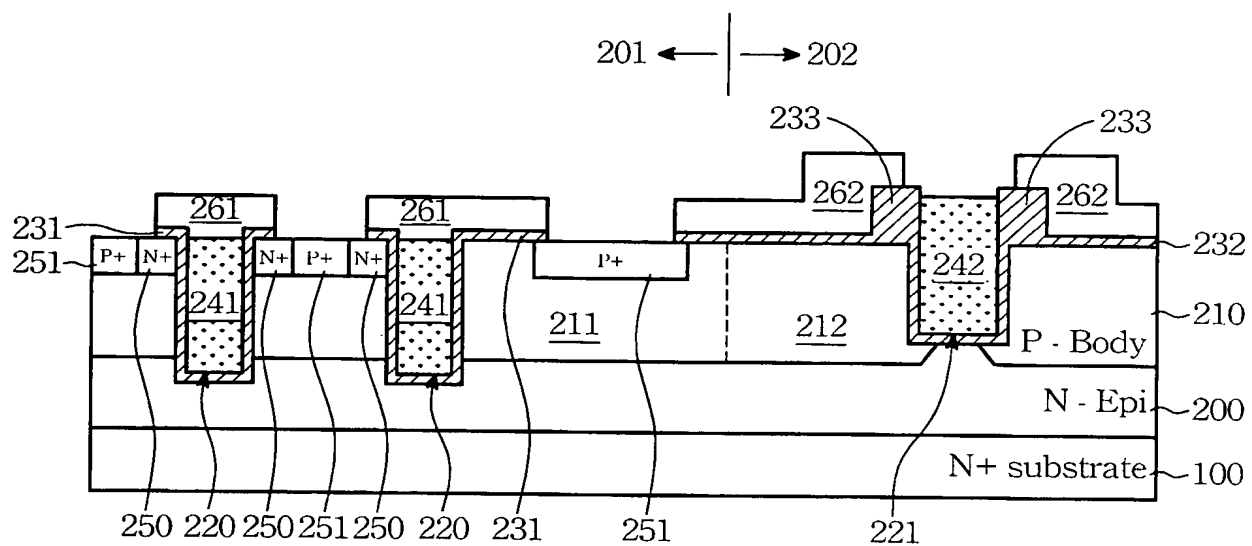


圖 五 D

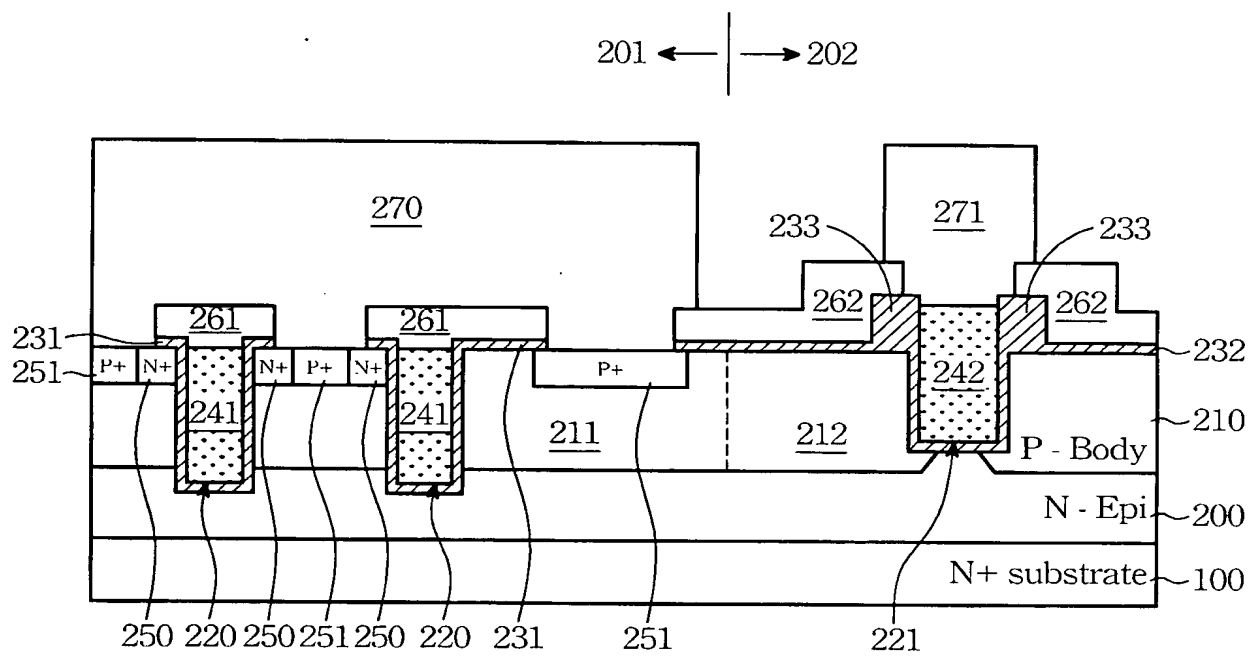


圖 五 E

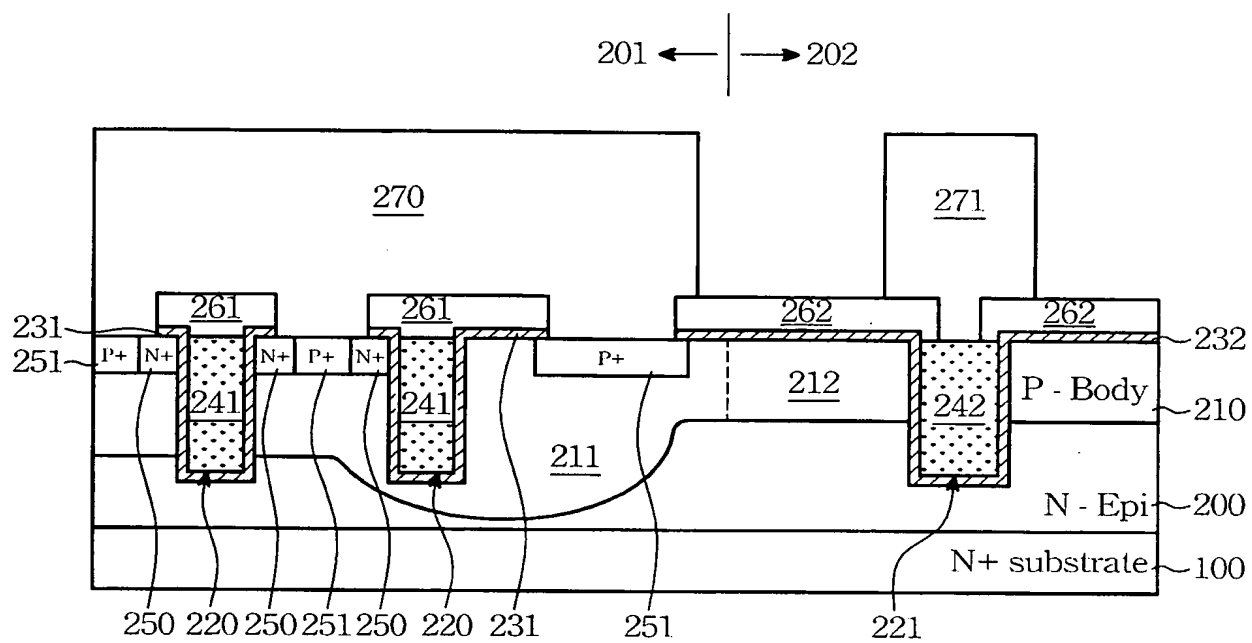


圖 六